



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11176936 A**(43) Date of publication of application: **02 . 07 . 99**

(51) Int. Cl.

H01L 21/768
H01L 21/316
(21) Application number: **10231826**(22) Date of filing: **18 . 08 . 98**(30) Priority: **18 . 11 . 97 KR 97 9760818**(71) Applicant: **SAMSUNG ELECTRON CO LTD**
(72) Inventor:
KIN CHUKAN
LIM YOUNG-JIN
HONG JIN-GI
RI CHUHAN
KIN KOSHU

**(54) METHOD FOR BURYING INSULATION FILM IN
REGION HAVING FINE LINE WIDTH AND HIGH
ASPECT RATIO**

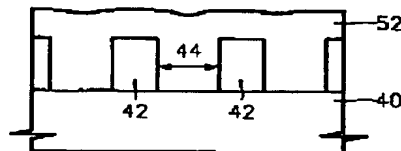
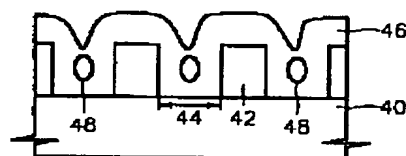
(57) Abstract:

PROBLEM TO BE SOLVED: To bury an insulation film in a region having fine line width and a high aspect ratio, by a method wherein the insulation film is buried in a multistage between conductive lines.

SOLUTION: A step of burying an insulation film between conductive lines 42 is made in a multistage. First, as a first stage, a first insulation film 46 burying between the conductive lines 42 is formed on the entire face of the conductive line 42 and a semiconductor substrate 40. In this first stage, since a void 48 occurred in the first insulation film 46 is eliminated, the entire face of the first insulation film 46 is etched as a second stage. After the void 48 is eliminated, a second insulation film 52 is formed on the entire face of resultants as a third stage. According to this method, the void 48 occurred in the first insulation film 48 formed in the first stage can be eliminated in the succeeding second stage, and further a surface of the first insulation film 46 can be set in a state of adapting to form the second insulation film. Accordingly, the second insulation film 52 can be formed

in the third stage on the first insulation film 46, so that a void does not occur in a region where the insulation film is buried.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-176936

(43)公開日 平成11年(1999) 7月2日

(51)Int.Cl.⁶

H 0 1 L 21/768
21/316

識別記号

F I

H 0 1 L 21/90
21/316

M
M

審査請求 未請求 請求項の数40 OL (全 9 頁)

(21)出願番号 特願平10-231826

(22)出願日 平成10年(1998) 8月18日

(31)優先権主張番号 9 7 P 6 0 8 1 8

(32)優先日 1997年11月18日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 金 注 完

大韓民国ソウル特別市城北區東仙洞2街
254番地

(72)発明者 林 榮 振

大韓民国京畿道松炭市芝山區1094番地 建
榮アパート103棟304號

(72)発明者 洪 鎮 基

大韓民国京畿道水原市勤善區勤善洞1240番
地 現代アパート208棟503號

(74)代理人 弁理士 八田 幹雄 (外3名)

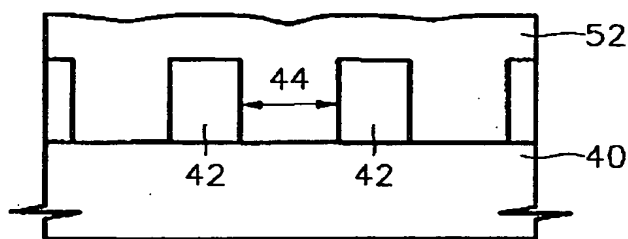
最終頁に続く

(54)【発明の名称】 微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法

(57)【要約】

【課題】 多段階で微細な線幅と高縦横比を有する領域に絶縁膜を埋込む半導体装置の製造方法を提供する。

【解決手段】 最初段階で多段階で微細な線幅と高縦横比を有する領域に第1絶縁膜を埋込み、中間段階で第1絶縁膜の全面を蝕刻し、最終段階で第1絶縁膜上に多段階で微細な線幅と高縦横比を有する領域を完全に埋込む第2絶縁膜を形成する。第1絶縁膜を埋込む過程で第1絶縁膜にボイドが生じないこともあるが、中間段階をたどりながらボイドは取り除かれ、第1絶縁膜の表面は第2絶縁膜を形成することが適合した状態になる。結果的に、微細な線幅と高縦横比を有する領域にボイドが生じることなく絶縁膜を埋込むことができる。



【特許請求の範囲】

【請求項1】 半導体基板上に所定の線幅と縦横比を有する導電性ラインを備えて前記導電性ラインの間を絶縁膜で埋込む半導体装置の製造方法において、前記絶縁膜は多段階で埋込まれることを特徴とする半導体装置の製造方法。

【請求項2】 前記導電性ラインの線幅は $0.15\mu\text{m}$ 以下であり、その縦横比は3:1以上であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記絶縁膜は第1ないし第3段階で前記導電性ラインの間に埋込まれることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記第1段階は前記導電性ラインの間に第1絶縁膜を部分的に埋込む段階であることを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 前記第2段階は前記第1絶縁膜の全面を前記導電性ラインが露出しない範囲内で蝕刻する段階であることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記第3段階は前記蝕刻された第1絶縁膜の全面に第2絶縁膜を形成する段階であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記第1絶縁膜または第2絶縁膜はBPSG膜、 O_3 TEOS膜、SACVD BPSG膜、SAUSG膜及びHDP CVD膜よりなる群から選択されたいずれか一つであることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第1絶縁膜として使われるBPSG膜と前記第2絶縁膜として使われるBPSG膜は各々その組成成分であるTEOS、TEB及びTMOPのフロー率を相違いに形成することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記第1絶縁膜として使われるBPSG膜は前記TEOS、TEB及びTMOPのフロー率を各々 $13.0\sim 17.0\text{slm}$ 、 $9.0\text{slm}\sim 20\text{slm}$ 及び $4.0\text{slm}\sim 20\text{slm}$ にして形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記BPSG膜は $500\text{\AA}\sim 2,000\text{\AA}$ 程度の厚さで形成することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 前記第2絶縁膜として使われるBPSGは前記TEOS、TEB及びTMOPのフロー率を各々 $13.0\sim 17.0\text{slm}$ 、 $6.0\text{slm}\sim 20\text{slm}$ 及び $3.0\text{slm}\sim 20\text{slm}$ にして形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項12】 前記BPSG膜は $6,000\text{\AA}\sim 10,000\text{\AA}$ 程度の厚さで形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第1絶縁膜の表面を乾式エッチバックで蝕刻することを特徴とする請求項5に記載の半導

体装置の製造方法。

【請求項14】 前記乾式エッチバックはアルゴンガス(Ar)とフッ素ガス(F)をベースとするプラズマ蝕刻方式を用いることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】 前記第1絶縁膜は蝕刻/蒸着比が $0.10\sim 0.15$ になる条件下で形成されるHDP CVD膜であることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項16】 前記HDP CVD膜は $1,000\text{\AA}\sim 3,000\text{\AA}$ 程度の厚さで形成されることを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 前記第2絶縁膜は蝕刻/蒸着比が $0.15\sim 0.33$ になる条件下で形成されるHDP CVD膜であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項18】 前記第1絶縁膜の表面はスパッタリング方式で蝕刻されることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項19】 前記第1絶縁膜の表面がアルゴンガス(Ar)、酸素ガス(O_2)、窒素ガス(N_2)、アンモニアガス(NH_3)、四フッ化炭素ガス(CF_4)及び塩素ガス(Cl_2)よりなる群から選択されたいずれか一つを使用してスパッタリングされることを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項20】 前記スパッタリング方式で誘導電力の低周波電力と高周波電力は $500\text{W}\sim 4,000\text{W}$ であることを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項21】 前記低周波電力と高周波電力間の差は $1,000\text{W}$ 程度であることを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】 前記スパッタリング方式でスパッタリング角は $45^\circ\sim 55^\circ$ であることを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項23】 前記第1ないし第3段階はインサイチュ方式で進行することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項24】 (a) 半導体基板上にゲートラインを形成する段階と、

(b) 前記ゲートラインが形成された半導体基板全面に前記ゲートラインの間を埋込む第1 HDP CVD膜を形成する段階と、

(c) 前記ゲートラインが露出しない範囲で前記第1 HDP CVD膜の全面を蝕刻する段階と、

(d) 前記蝕刻された第1 HDP CVD膜の全面に第2 HDP CVD膜を形成する段階を含むことを特徴とする半導体装置の製造方法。

【請求項25】 前記ゲートラインは $0.15\mu\text{m}$ 以下の線幅と3:1以上の縦横比を有するように形成するこ

とを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項26】 前記第1 HDP CVD膜は蝕刻／蒸着比が0.10～0.15になる条件下で形成されることを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項27】 前記第2 HDP CVD膜は蝕刻／蒸着比が0.15～0.33になる条件下で形成されることを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項28】 前記第1 HDP CVD膜の表面がアルゴンガス(Ar)、酸素ガス(O₂)、窒素ガス(N₂)、アンモニアガス(NH₃)、四フッ化炭素ガス(CF₄)及び塩素ガス(Cl₂)よりなる群から選択されたいずれか一つを使用してスパッタリングされることを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項29】 前記(b)ないし(d)段階はインサイチュ方式で行うことを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項30】 (a)半導体基板上に導電性ラインを形成する段階と、

(b)前記導電性ラインが形成された半導体基板の全面に前記導電性ラインの間を埋込む第1 BPSG膜を形成する段階と、

(c)前記導電性ラインが露出しない範囲内で前記第1 BPSG膜の全面を乾式エッチバックする段階と、

(d)前記第1 BPSG膜の全面に第2 BPSG膜を形成する段階とを含むことを特徴とする半導体装置の製造方法。

【請求項31】 前記第1 BPSG膜はTEOS、TEB及びTMOPのフロー率を各々13.0～17.0slm、9.0slm～20slm及び4.0slm～20slmにして形成することを特徴とする請求項30に記載の半導体装置の製造方法。

【請求項32】 前記第2 BPSG膜はTEOS、TEB及びTMOPのフロー率を各々13.0～17.0slm、6.0slm～20slm及び3.0slm～20slmにして形成することを特徴とする請求項30に記載の半導体装置の製造方法。

【請求項33】 前記乾式エッチバックはアルゴンガスとフッ素ガスをベースとするプラズマソースを用いて施すことを特徴とする請求項30に記載の半導体装置の製造方法。

【請求項34】 前記(b)ないし(d)段階はインサイチュ方式で行うことを特徴とする請求項30に記載の半導体装置の製造方法。

【請求項35】 (a)半導体基板上にトレンチラインを形成する段階と、

(b)前記半導体基板上に前記トレンチラインを部分的

に埋込む第1絶縁膜を形成する段階と、

(c)前記第1絶縁膜の全面を蝕刻し前記第1絶縁膜の表面を滑らかにする段階と、

(d)前記第1絶縁膜上に前記トレンチラインを埋込む第2絶縁膜を形成する段階と、

(e)前記第2絶縁膜の全面を前記半導体基板の界面が露出される時まで平坦化する段階とを含むことを特徴とする半導体装置の製造方法。

【請求項36】 前記第1及び第2絶縁膜は各々BPSG膜、O₃ TEOS膜、SACVD BPSG膜、SAUSG膜及びHDP CVD膜よりなる群から選択されたいずれか一つであることを特徴とする請求項35に記載の半導体装置の製造方法。

【請求項37】 前記第1絶縁膜として使われる前記BPSG膜はその組成成分であるTEOS、TEB及びTMOPのフロー率を各々13.0～17.0slm、9.0slm～20slm及び4.0slm～20slmにして形成することを特徴とする請求項36に記載の半導体装置の製造方法。

【請求項38】 前記第2絶縁膜として使われるBPSG膜はその組成成分がTEOS、TEB及びTMOPのフロー率を各々13.0～17.0slm、6.0slm～20slm及び3.0slm～20slmにして形成することを特徴とする請求項36に記載の半導体装置の製造方法。

【請求項39】 前記第1絶縁膜として使われるHDP CVD膜は蝕刻／蒸着比が0.10～0.15になる条件下で形成されることを特徴とする請求項36に記載の半導体装置の製造方法。

【請求項40】 前記第2絶縁膜として使われるHDP CVD膜は蝕刻／蒸着比が0.15～0.33である条件下で形成されることを特徴とする請求項36に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法に関する。

【0002】

【従来の技術】半導体装置が高集積化されることによって半導体装置を構成する導電性ライン間の間隔が非常に狭くなるのみならず、導電性ライン自体も垂直に高い。すなわち、導電性ラインの線幅と縦横比(aspect ratio)が前に比べはるかに狭くて大きい。このように、導電性ラインの線幅と縦横比が狭くて高くなれば、導電性ライン間の領域の幅と縦横比も一緒に狭くて高くなる。このようになれば、導電性ラインの接触はさらに容易になる。したがって、高集積半導体装置における導電性ラインを絶縁させる問題はさらに重要になる。結局、この問題は導電性ラインの間の微細な線幅と高縦横比を有す

る領域に絶縁膜を埋込む問題である。

【0003】現在、微細な線幅と高縦横比を有するパターン間を埋込む絶縁膜としてBPSG (Boro- Phospho- Silicate Glass) 膜や高密度プラズマを用いた化学気相蒸着法 (Chemical Vapor Deposition) によって形成された膜 (以下、HDP CVD膜と称する) が広く使われる。

【0004】微細な線幅と高縦横比を有する領域を埋込む絶縁膜としてBPSG膜を用いる方法は、米国特許 (US5,278,103;" Method For The Controlled Formation of Voids In Doped Glass Dielectric Films ", Feb. 26, 1993, Jan.11,1994,11 of2,140及びUS5,656,556;" Method For Fabricating Planarized Borophospho silicate Glass Films Having Low Anneal Temperatures, Jul.22,1996,3 of 2140) に記載されている。

【0005】この中、前者の特許は導電層が形成された半導体基板上にBPSG膜を多層に形成するが、後に形成されるBPSG膜は先に形成されたBPSG膜をリフローさせた後にその上に形成する。反面、後者の特許はBPSG膜を多層に形成するが、各層のBPSG膜のドーピング濃度を異なるように形成する。

【0006】微細な線幅と高縦横比を有する領域を埋込む絶縁膜としてHDP CVD膜を用いる方法は1996年1月20～21日に開催されたDUMIC Conference, P116～123に" Plasma Modeling Using Level Set Methods "という題目で開示されている。

【0007】一方、BPSG膜やHDP CVD膜以外にスピノングラス (Spin On Glass ; 以下、SOGと称する) 膜を用いてパターン間のギャップを埋込む方法はユタカ クドー (Yutaka Kudoh) 等によりThe International Conference on SSDM, P290～291に開示されている。

【0008】このような従来技術による高縦横比を有するパターン間に絶縁膜を埋込む方法は導電性ライン間の間隔が $0.15\mu\text{m}$ 以上であり、導電性ラインの縦横比が3:1以下である場合に導電性ラインの間にボイドが形成されることなく層間絶縁膜が埋込めれる。

【0009】しかし、導電性ライン間の間隔と導電性ラインの縦横比が前記条件を越える場合、言い換えれば、導電性ライン間の間隔が $0.15\mu\text{m}$ 以下であり、その縦横比が3:1以上であるとき、前記層間絶縁膜の前記導電性ラインの間を埋込む充填特性は低下される。したがって、導電性ラインの間に層間絶縁膜を埋込むときその間にボイドが生じる場合がある。

【0010】

【発明が解決しようとする課題】したがって、本発明が果たそうとする技術的課題は、線幅が $0.15\mu\text{m}$ 以下でかつ縦横比が3:1以上である領域に、ボイドの形成を防止するように絶縁膜を埋込む方法を提供することにある。

【0011】

【課題を解決するための手段】前記技術的課題を達成するために、本発明は次のような微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を提供する。

【0012】すなわち、半導体基板上に所定の線幅と縦横比を有する導電性ラインを備え、前記結果物上に前記導電性ラインの間を埋込む絶縁膜を備える半導体装置の製造方法において、前記絶縁膜は前記導電性ラインの間に多段階で埋込まれることを特徴とする。

【0013】前記導電性ラインの線幅と縦横比は各々 $0.15\mu\text{m}$ 以下及び3:1以上であることが好ましい。

【0014】前記絶縁膜は、第1ないし第3段階で前記導電性ラインの間に埋込めることが好ましい。ここで、前記第1段階は前記導電性ラインの間に第1絶縁膜を埋込む段階であり、前記第2段階は前記導電性ラインが露出しない範囲内で前記第1絶縁膜の全面を所定の時間蝕刻する段階であり、前記第3段階は前記蝕刻された第1絶縁膜の全面に第2絶縁膜を形成する段階である。

【0015】前記第1絶縁膜または第2絶縁膜は、BPSG膜、 O_3 TEOS膜、SACVD BPSG膜、SAUSG膜及びHDP CVD膜よりなる群から選択されたいずれか一つで形成することが好ましい。

【0016】前記第1及び第2絶縁膜は各々組成成分のフロー率 (flow ratio) を異なるようにして形成したBPSG膜であることが好ましい。

【0017】前記第1及び第2絶縁膜は各々相異なる蝕刻/蒸着比 (Etch/Deposition Ratio) で形成したHDP CVD膜であることが好ましい。

【0018】前記第2段階で前記第1絶縁膜の表面は、乾式エッチバック (dry etch back) 方式またはスパッタリング (sputtering) 方式で蝕刻されることが好ましい。前記スパッタリング方式に使用するガスはアルゴンガス (Ar)、酸素ガス (O_2)、窒素ガス (N_2)、アンモニアガス (NH_3)、四フッ化炭素ガス (CF_4)、及び塩素ガス (Cl_2) よりなる群から選択されたいずれか一つであることが好ましい。

【0019】前記技術的課題を達成するために、本発明は前述した方法と異なる次のような微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を提供する。

【0020】すなわち、(a) 半導体基板上に所定の線幅と縦横比を有するゲートラインを形成する。(b) 前記結果物全面に前記ゲートラインの間を埋込む第1 HDP CVD膜を形成する。(c) 前記ゲートラインが露出されないように前記第1 HDP CVD膜の全面を蝕刻する。(d) 前記第1 HDP CVD膜の全面に第2 HDP CVD膜を形成する。

【0021】前記技術的課題を達成するために、本発明は前記二方法と異なる次のような微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を提供する。

【0022】すなわち、(a)半導体基板上に導電性ラインを形成する。(b)前記結果物全面に前記導電性ラインの間に埋込む第1 BPSG膜を形成する。(c)前記導電性ラインが露出しない範囲内で前記第1 BPSG膜の全面を乾式エッチバックする。(d)前記第1 BPSG膜の全面に第2 BPSG膜を形成する。

【0023】本発明は、微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法として多段階方式を用いることが好ましい。すなわち、本発明は第1ないし第3段階で前記領域に絶縁膜を埋込む。このようにして、前記導電性ラインの間にボイドが形成されることなく絶縁膜を埋込むことができる。

【0024】

【発明の実施の形態】以下、本発明の実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む半導体装置の製造方法を、添付図面を参照して詳細に説明する。しかし、本発明の実施例は多様な別の形態に変形でき、本発明の範囲が下で詳述する実施例に限定されることは止揚することが望ましい。

【0025】本発明の実施例は、当業界の平均的な知識を有する者に本発明をより完全に説明するために提供されることである。図面における層や領域の厚さは明細書の明確性のために誇張されている。図面上で同一な符号は同一な要素を指称する。また、ある層が異なる層または基板の”上部”にあると記載された場合、前記ある層が前記異なる層または基板の上部に直接存在する場合もあり、その間に第3の層が介在される場合もある。

【0026】第1実施例

まず、本発明の第1実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を説明する。

【0027】図1を参照すれば、半導体基板40上に導電性ライン42を形成する。前記導電性ライン42は、ゲートライン、ワードライン、ビットラインまたは前記ラインを連結する相互連結ライン(inter-connection line)である。前記導電性ライン42の側面にスペーサをさらに形成できる。前記導電性ライン42を形成することにおいて、ライン間の間隔44と縦横比は特別に限定されない。したがって、前記導電性ライン42の間隔44は必要に応じて広くまたは狭く形成でき、その縦横比は高低を問わない。前記導電性ライン42の間隔44とその縦横比が変わることによって、前記導電性ラインの間に埋込む絶縁膜形成工程が変わる場合がある。

【0028】引続き、前記結果物全面に前記導電性ライン42間を埋込む絶縁膜を形成する。前記導電性ライン42間の間隔44とその縦横比が微細でなく高くない場合、例えば前記導電性ライン42間の間隔44が0.15 μ m以上でかつその縦横比が3:1以下である場合に、一度にボイドが形成することなく、前記導電性ライン42間に絶縁膜を埋込むことができる。

【0029】反面、前記導電性ライン42間の間隔44

とその縦横比が微細で高い場合、例えば前記導電性ライン42間の間隔44が0.15 μ m以下、望ましくは0.11~0.15 μ m、さらに望ましくは0.12 μ mで、かつ、その縦横比が3:1以上、望ましくは3:1~8:1、さらに望ましくは5:1である場合、前記導電性ライン42間に絶縁膜を埋込む工程は多段階で施すことが望ましい。これにより、前記導電性ライン42間にボイドが形成されないように絶縁膜を埋込むことができる。

【0030】具体的に、図2ないし図4を参照し、前記導電性ライン42間に絶縁膜を埋込む多段階工程は、第1ないし第3段階で行う。

【0031】図2を参照すれば、前記第1段階は、前記導電性ライン42と半導体基板40の全面に前記導電性ライン42間を埋込む第1絶縁膜46を形成する段階である。このとき、前記第1絶縁膜46は前記導電性ライン42間に部分的に埋込まれる。前記第1絶縁膜46は、BPSG膜、 O_3 TEOS膜、SACVD (Self Alignment CVD) BPSG膜、SAUSG (Self Alignment Undoped SilicateGlass) 膜及びHDP CVD膜よりなる群から選択されたいずれか一つで形成する。

【0032】前記第1絶縁膜46が第1 BPSG膜で形成される場合、前記第1 BPSG膜を構成する組成成分のフロー率によって不純物、例えばホウ素(B)や燐(P)の生成量が変わる。前記不純物の生成量によって前記第1 BPSG膜の蒸着率が変わる。前記第1 BPSG膜は、その組成成分であるTEOS (Tetraethyl Ortho Silicate)、TEB ($B(OCH_3)_3$)及びTMOP ($PO(OCH_3)_3$)のフロー率が各々13.0~17.0slm (standard liter/minute)、9.0slm~20slm及び4.0slm~20slmになるようにして形成することが望ましい。このとき、前記第1 BPSG膜は500Å~2,000Å程度の厚さで形成する。

【0033】たとえ、前記第1絶縁膜46が前記導電性ライン42間に部分的に埋込まれるといえども、前記導電性ライン42間の間隔44が前記したように狭くて前記導電性ライン42の縦横比が高いため、前記導電性ライン42間に埋込まれた第1絶縁膜46にボイド48が生じる。前記ボイド48は、通常、第1絶縁膜46より誘電定数が低いため、前記第1絶縁膜46と前記導電性ライン42でキャパシタが構成される場合、キャパシタのキャパシタンスが低くなる。これに伴い、半導体装置の動作速度が遅くなる。また、前記ボイド48が存在する場合、前記ボイド48により隣接した前記導電性ライン42間にブリッジ(bridge)が形成され、前記導電性ライン42が相互連結される場合がある。したがって、前記ボイド48は取り除くことが望ましい。

【0034】図3を参照すれば、前記第2段階は前記ボイド48を取り除くために、前記第1絶縁膜46の全面

を蝕刻する段階である。前記蝕刻は、前記第1絶縁膜46を完全に取り除くためではなく、前記第1絶縁膜46に形成されたボイド48を取り除くための一つの手段として実施する。したがって、前記蝕刻は、前記第1絶縁膜46に形成された前記ボイド48を取り除く程度に実施する。前記ボイド48が生じる位置は、前記第1絶縁膜46の厚さによって変わる。前記ボイド48は、前記第1絶縁膜46の厚さによって前記導電性ライン42間の上側または下方に生じる。前記ボイド48は、可能な限り前記第1絶縁膜46の上側に位置することが望ましい。この場合、前記蝕刻により前記導電性ライン42が露出することなく前記ボイド48のみを取り除くことができる。したがって、前記第1段階で前記第1絶縁膜46を形成する時、このような事項を考慮することが望ましく、前記第1絶縁膜46の厚さはこの点を考慮したものである。

【0035】前記蝕刻の一つの方法として、前記第1絶縁膜46の全面を乾式エッチバック50する。このとき、前記乾式エッチバックは数百ワット(W)、望ましくは400W~600Wの電力で実施する。前記乾式エッチバック50は、前記導電性ライン42が露出しない範囲内で前記ボイド48を取り除くまで実施する。この結果、前記導電性ライン42間でボイド48を取り除いた第1絶縁膜パターン46aが形成される。前記乾式エッチバックは、アルゴンガス(Ar)とフッ素ガス(F)をベースとするプラズマソースを使用して実施する。

【0036】図4を参照すれば、前記第3段階は前記ボイド48を取り除いた後、その結果物全面に第2絶縁膜52を形成する段階である。前記第2絶縁膜52は、BPSG膜、O₃ TEOS膜、SACVD BPSG膜、SAUSG膜及びHDPCVD膜よりなる群から選択されたいずれか一つで形成する。前記第1及び第2絶縁膜46、52が前記群の中から選択された相異なる絶縁膜で形成されても差し支えないが、前記第1及び第2絶縁膜46、52は選択された同一な絶縁膜で形成されることが望ましい。前記第2絶縁膜52が第2 BPSG膜で形成される場合、前記第2 BPSG膜はその成分であるTEOS、TEB及びTMOPを各々13.0~17.0slm、6.0slm~20slm及び3.0slm~20slm程度のフロー率でフローさせて形成する。前記第2 BPSG膜は6,000Å~10,000Å程度の厚さで形成する。図4は前記第1及び第2絶縁膜46、52が同一な絶縁性物質で形成される場合を示した図面である。したがって、前記二つの絶縁膜46、52間の境界は現れない。引続き、前記第2絶縁膜52を形成した後その全面を平坦化する。

【0037】図4に示したように、本発明の第1実施例による半導体装置の製造方法を用いて微細な線幅と高縦横比を有する導電性ライン42間に絶縁膜を埋込む場

合、前記導電性ライン42間にボイドが生じないことがわかる。

【0038】第2実施例

本発明の第2実施例は前記本発明の第1実施例と同じく微細な線幅と高縦横比を有する導電性ラインの間に絶縁膜を多段階に埋込む半導体装置の製造方法を提供するが、前記第1実施例と導電性ラインの間を埋込む最初の絶縁膜の表面処理方式を別にする。

【0039】図5ないし図8は本発明の第2実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【0040】図5を参照すれば、半導体基板54を活性領域とフィールド領域に区分した次にフィールド領域にフィールド酸化膜(図示せず)を形成する。前記活性領域上にゲートライン56を形成し、前記ゲートライン56の全面にゲート保護絶縁膜すなわち、ゲートスペーサ58を形成する。前記ゲートスペーサ58を含んだゲートライン56の間隔とその縦横比は、半導体装置の集積度が高くなるによって狭くて高くなる。前記ゲートライン56間隔と縦横比の値によって後続する前記ゲートライン56間に絶縁膜を埋込む工程が変わる。これについては前記第1実施例で詳述したので省略する。

【0041】以下、後続する説明は、前記ゲートライン56間隔、すなわち隣接した前記ゲートスペーサ58間隔60が0.15μm以下であり、その縦横比が少なくとも3:1以上のとき、多段階で前記ゲートライン56間に絶縁膜を埋込む方法に関する説明である。

【0042】一方、前記ゲートスペーサ58が形成された後、ゲートスペーサ58の間隔60は下方で0.1μm以下で、上側入口で0.12μm程度となる。また、前記ゲートスペーサ58を形成した後、前記半導体基板54上に形成された前記ゲートライン56とゲートスペーサ58でなされるゲート積層物の高さは4,000Å程度となる。結果的に、前記半導体基板54上に縦横比が3:1以上であるゲート積層物が形成される。前記ゲートライン56間に絶縁膜を埋込む工程は、第1ないし第3段階からなる多段階工程である。

【0043】図6を参照すれば、前記第1段階は、図5の結果物全面に前記ゲートライン56間を埋込む第1絶縁膜62を形成する段階である。このとき、前記ゲートライン56間を完全に埋込むのではなく部分的に埋込む。前記第1絶縁膜62はBPSG膜、O₃ TEOS膜、SACVD BPSG膜、SAUSG膜及びHDPCVD膜よりなる群から選択されたいずれか一つで形成するが、充填(filling)特性を考慮するとき、前記HDP CVD膜で形成することが望ましい。

【0044】前記第1絶縁膜62が第1 HDP CVD膜で形成される場合、前記第1 HDP CVD膜は、蝕刻/蒸着比が0.10~0.15になる条件下で1,000Å~3,000Å程度の厚さで形成する。前記第

1、HDP CVD膜がこのような条件下で形成されるときに、前記第1 HDP CVDにボイドが発生することを防止でき、発生しても前記第1絶縁膜62の上側に生じたボイド除去が容易になる。

【0045】図7を参照すれば、第2段階は前記第1絶縁膜62の全面をスパッタリングして蝕刻する段階である。前記スパッタリングは、前記ゲートライン56が露出しない範囲内で所定の時間実施する。前記第1絶縁膜62の蝕刻率は前記スパッタリング角が大きいほど高くなる。したがって、前記スパッタリング時間はスパッタリング角によって変わる。前記スパッタリング角は 45° 以上大きいほど良いが、 $45^{\circ} \sim 55^{\circ}$ の間が望ましい。

【0046】一方、前記スパッタリング角は、スパッタリング時に加えられる誘導電力により調節される。前記スパッタリング角を前記範囲内に維持するために、前記誘導電力は低周波電力と高周波電力がすべて $500W \sim 4,000W$ 程度になるようにする。前記低周波電力と高周波電力は、 $500W \sim 4,000W$ 範囲内で任意の値を有することができる。例えば、前記低周波電力と高周波電力はすべて同一な値を有することができる。前記低周波電力と高周波電力が異なる値を有する場合、前記スパッタリング角を $45^{\circ} \sim 55^{\circ}$ に維持するための前記二電力間の差は概略1,000W程度が望ましい。例えば、前記低周波電力が2,500W程度である時、前記高周波電力は概略1,400W程度になるようにする。

【0047】前記スパッタリングに使われるガスは、アルゴン(Ar)、酸素(O_2)、窒素(N_2)、アンモニア(NH_3)、四フッ化炭素(Carbon Tetra Fluoride; CF_4)及び塩素(Cl_2)よりなる群から選択されたいずれか一つである。

【0048】前記スパッタリングの結果、図7に示すように、後続工程で異なる絶縁膜が形成されることに適合した形態の表面を有する第1絶縁膜パターン62aが形成される。前記第1絶縁膜62の全面をスパッタリングする時、スパッタリング角を調節することによって前記第1絶縁膜パターン62aの表面が異なる絶縁膜を形成することに適合した表面になる。

【0049】図8を参照すれば、第3段階は前記第1絶縁膜パターン62aの全面に前記ゲートライン56間の埋込まれてない部分を埋込む第2絶縁膜64を形成する段階である。前記第2絶縁膜64は、前記第1絶縁膜62と同じく、BPSG膜、 O_3 TEOS膜、SACVD BPSG膜、SAUSG膜及びHDP CVD膜よりなる群から選択されたいずれか一つで形成する。だが、前記ゲートスペーサ58間の間隔60が $0.1\mu m$ 以下で非常に狭く、前記ゲート積層物の縦横比が3:1以上で非常に大きい。したがって、前記第2絶縁膜64は充填特性が優秀であり前記第1絶縁膜62と同一な絶

縁膜である第2 HDP CVD膜で形成することが望ましい。前記第2 HDP CVD膜は、蝕刻/蒸着比が0.15~0.33になる条件下で形成することが望ましい。以後、前記第2絶縁膜64を平坦化する。図8で前記第1絶縁膜パターン62aと第2絶縁膜64がすべてHDP CVD膜で形成されるので前記二つの絶縁膜の区分は消える。

【0050】いままで言及しなかったが、本発明の第1及び第2実施例で、前記第1ないし第3段階はインサイチュ(in-situ)方式で行うことができる。

【0051】第3実施例

前記第1及び第2実施例による方法は、浅いトレンチ型素子分離膜を形成する方法にも適用できる。

【0052】図9ないし図13は本発明の第3実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である図9を参照すれば、半導体基板70を活性領域とフィールド領域に区分した後、前記フィールド領域に所定の幅を有するトレンチライン72を形成する。前記トレンチライン72は所定の幅と縦横比を有する。例えば、前記トレンチライン72は $0.35\mu m$ 以下の幅と少なくとも3:1以上の縦横比を有する。

【0053】図10ないし図12を参照すれば、前記半導体基板70上に前記トレンチライン72を埋込む絶縁膜を形成する工程は第1ないし第3段階で施されることがわかる。

【0054】具体的に、図10を参照すれば、第1段階は前記半導体基板70上に前記トレンチライン72を部分的に埋込む第1絶縁膜74を形成する段階である。前記第1絶縁膜74は前記トレンチライン72を部分的に埋込む。前記第1絶縁膜74は、BPSG膜、 O_3 TEOS膜、SACVD BPSG膜、SAUSG膜及びHDP CVD膜よりなる群から選択されたいずれか一つで形成する。

【0055】第2段階は、図11に示すように、前記第1絶縁膜74を蝕刻し、前記トレンチライン72内の前記第1絶縁膜74に生じたボイド76を取り除くと共に前記第1絶縁膜74の表面を滑らかにする段階である。この結果、前記半導体基板70上に前記ボイド76が取り除かれた第1絶縁膜パターン74aが形成される。

【0056】第3段階は、図12に示すように、前記蝕刻をたどった前記第1絶縁膜パターン74a上に前記トレンチライン72の埋込まれてない部分を完全に埋込む第2絶縁膜78を形成する段階である。必要な場合、前記第1及び第2絶縁膜74、78は相異なる絶縁性物質膜で形成できるが、特性上同一な絶縁性物質膜で形成することが望ましい。前記第2段階及び第3段階は、前記第1実施例及び第2実施例のなかから選択されたいずれか一つの方法で実施する。前記第2絶縁膜78を形成した後その全面を前記半導体基板70の界面が露出すると

きまで平坦化すれば、図13に示すように、 $0.15\mu\text{m}$ 以下の幅と少なくとも3:1以上の縦横比を有する前記トレンチライン72にボイドが含まれない素子分離膜80が形成される。

【0057】図面と明細書に最適実施例を開示した。ここで、特定の用語が使われたが、これは単に本発明を説明するための目的から使われたことであり意味限定や特許請求範囲に記載された本発明の範囲を制限するために使われたことでない。

【0058】例えば、前記第1及び第2 BPSG膜の組成成分として前記TEB、TMOPガスのみが開示されたが、それ以外にもTMB、TEPOガスなどを前記第1及び第2 BPSG膜の組成成分として使用することができる。

【0059】

【発明の効果】前述したように、本発明は第1ないし第3段階からなる多段階方式で微細な線幅と高縦横比を有する領域、例えば導電性ラインの間またはトレンチラインに絶縁膜を埋込むことができる。前記第1段階で前記領域に第1絶縁膜を部分的に埋込み、前記第2段階で前記第1絶縁膜の全面を蝕刻し整えて、前記第3段階で前記第1絶縁膜上に第2絶縁膜を形成し前記領域に絶縁膜を埋込む。前記第1段階で前記領域を埋込む絶縁膜にボイドが生じるが、前記第2段階で前記ボイドは取り除かれる。また、前記第2段階で前記第1絶縁膜の表面は前記第2絶縁膜が形成されるのに適合した状態になる。したがって、前記第3段階で前記領域にボイドが生じないように前記第1絶縁膜上に前記第2絶縁膜を形成できる。

【図面の簡単な説明】

【図1】本発明の第1実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図2】本発明の第1実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図3】本発明の第1実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図4】本発明の第1実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した

断面図である。

【図5】本発明の第2実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図6】本発明の第2実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図7】本発明の第2実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図8】本発明の第2実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図9】本発明の第3実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図10】本発明の第3実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図11】本発明の第3実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図12】本発明の第3実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【図13】本発明の第3実施例による微細な線幅と高縦横比を有する領域に絶縁膜を埋込む方法を段階別に示した断面図である。

【符号の説明】

40、54、70：半導体基板

42：導電性ライン

44：ライン間の間隔

46、62、74：第1絶縁膜

48、76：ボイド

50：乾式エッチバック

52、64、78：第2絶縁膜

56：ゲートライン

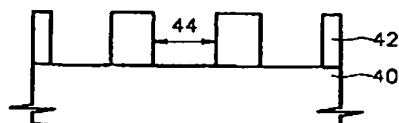
58：ゲートスペーサ

60：間隔

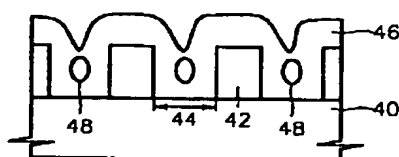
72：トレンチライン

80：素子分離膜

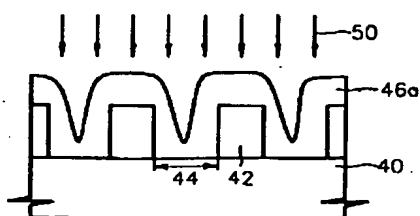
【図1】



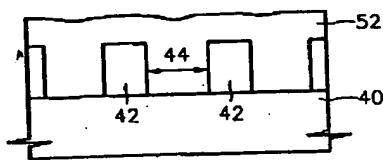
【図2】



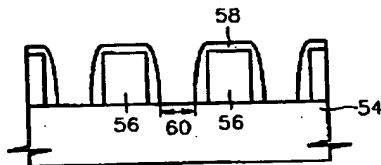
【図3】



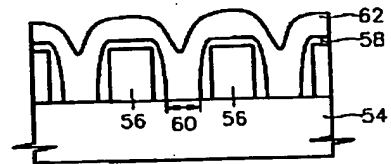
【図4】



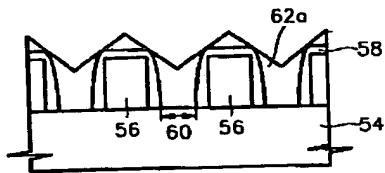
【図5】



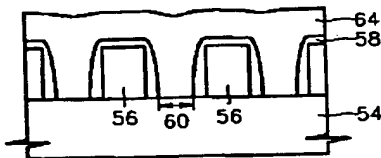
【図6】



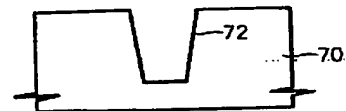
【図7】



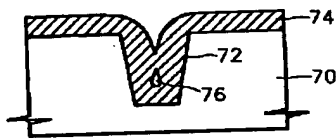
【図8】



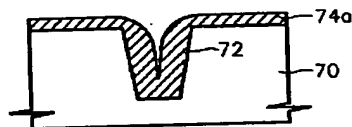
【図9】



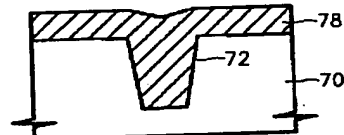
【図10】



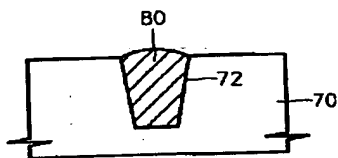
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 李 柱 範
大韓民国京畿道龍仁市器興邑靈德里13番地
斗進アパート104棟1006号

(72)発明者 金 衡 洙
大韓民国仁川市桂陽區兵防洞432-3番地